

(1) Korean Patent Application Laid-Open No. 1996-0039351

“MOSFET AND MANUFACTURING METHOD THEREOF”

The following is an English translation of an extract of the above application.

5 The invention disclosed here is directed to a MOSFET including a semiconductor substrate, a gate insulating film provided on the semiconductor device, a gate electrode which is patterned on the gate insulating film, and an insulating film spacer formed along the periphery of a sidewall of the gate electrode, and a method of manufacturing the same. The aforementioned MOSFET is characterized by that a gate insulating film at a lower
10 portion of the insulating film spacer is formed thicker than other portions. The delay time of element operation is reduced by enlarging the thickness of the periphery of a gate oxide film at a lower portion of the gate electrode and reducing the vertical electric field and gate overlap capacitance, and consequently the effect of reduction in drain leakage current can be obtained.

특1996-0039351

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶ (11) 공개번호 특1996-0039351
H01L 27/088 (43) 공개일자 1996년11월25일

(21) 출원번호 특1995-0008100
(22) 출원일자 1995년04월07일
(71) 출원인 현대전자산업 주식회사 김주용
경기도 이천군 부발읍 아미리 산136-1 (우 : 467-860)
(72) 발명자 마숙락
서울특별시 성북구 길음3동 1088번지 7호
양종열
서울특별시 송파구 잠실동 35 주공아파트 344-511
(74) 대리인 박해천, 엄주석

심사청구 : 없음

(54) 모스펫 및 그 제조방법

요약

본 발명은 반도체 기판, 상기 반도체 기판 상의 게이트 절연막, 상기 게이트 절연막상에 패터닝된 게이트 전극, 상기 게이트 전극 측벽 둘레를 따라 형성된 절연막 스페이서를 포함하는 모스펫(MOSFET)에 있어서, 상기 절연막 스페이서 하부의 게이트 절연막이 다른 부위에 비해 두껍게 형성된 것을 특징으로 하는 모스펫 및 그 제조방법에 관한 것으로, 게이트 전극 하부의 게이트 산화막 가장자리 두께를 크게하여 수직 전기(electric field) 감소 및 게이트 오버랩 캐패시턴스를 감소시켜 소자 동작 지연시간이 감축되며 드레인 누설전류 감소의 효과를 가져온다.

도표도

도1h

명세서

[발명의 명칭]

모스펫 및 그 제조방법

[도면의 간단한 설명]

제1h도는 본 발명의 일 실시예에 따른 모스펫 제조 공정도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1. 반도체 기판, 상기 반도체 기판 상의 게이트 절연막, 상기 게이트 절연막 상에 패터닝된 게이트 전극, 상기 게이트 전극 측벽 둘레를 따라 형성된 절연막 스페이서를 포함하는 모스펫(MOSFET)에 있어서, 상기 절연막 스페이서 하부의 게이트 절연막이 다른 부위에 비해 두껍게 형성된 것을 특징으로 하는 모스펫.

청구항 2. 모스펫 제조 방법에 있어서, 반도체 기판상에 게이트 산화막, 게이트 전도막을 차례로 형성하는 단계; 게이트 마스크를 사용하여 상기 게이트 전도막을 식각하되 전체두께 소정두께만을 식각하는 단계; 상기 식각되어 노출된 게이트 전도막 측벽 둘레를 따라 절연막 스페이서를 형성하는 단계; 상기 노출된 게이트 전도막을 반도체 기판이 드러나는 시점까지 등방성식각하는 단계; 및 산화공정을 통하여 상기 절연막 스페이서 아래의 게이트 전도막을 산화시키는 단계를 포함하는 것을 특징으로 하는 모스펫 제조방법.

청구항 3. 제2항에 있어서, 상기 게이트 전도막을 폴리실리콘막 및 폴리실리콘막상에 형성된 실리사이드막으로 이루어지는 실리사이드 구조로 형성하는 것을 특징으로 하는 모스펫 제조방법.

청구항 4. 제3항에 있어서, 상기 게이트 마스크를 이용하여 상기 게이트 전도막을 식각하되 전체두께 소정두께만을 식각하는 단계는; 상기 실리사이드막 하부의 폴리실리콘막이 소정두께 잔류하도록 실시하는 것을 특징으로 하는 모스펫 제조방법.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면

